

Best Available Copy

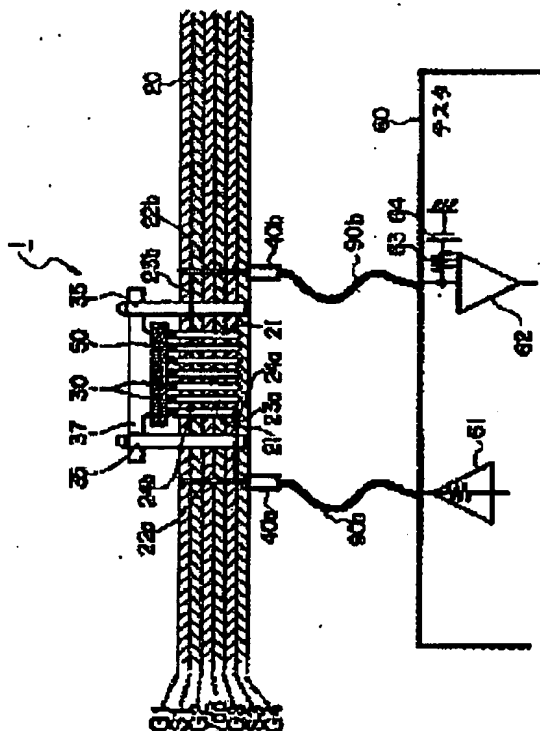
HIGH-FREQUENCY IC SOCKET, SEMICONDUCTOR TESTING DEVICE, SEMICONDUCTOR TEST METHOD AND MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Patent numbers: JP2003050262
 Publication date: 2003-02-21
 Inventor: TAKECHI KEIZO; OSAKI AKIO; FUJII TAKESHI; SUZUKI TETSUYA;
 MURATA KAZUHIKO
 Applicant: HITACHI LTD.; HITACHI ELECTR ENG
 Classification:
 - International: G01R31/28; G01R31/26; H01R33/76
 - european:
 Application number: JP20010240228 20010808
 Priority number(s): JP20010240228 20010808

Report a data error here

Abstract of JP2003050262

PROBLEM TO BE SOLVED: To provide an IC socket having the reduced stub length. **SOLUTION:** This IC socket 1 is formed by burying a plurality of contact pins 30 in contact with input/output terminals of the IC 50 to be tested into a substrate 20 except tip parts, and used for connecting a DUT board of this semiconductor testing device 60 to an IC 50 to be tested so as to have electric conduction. In the IC socket, two or more signal wiring layers S1, S2 and two or more power source wiring layers Vdd, G are provided on the substrate 20 where the contact pins 30 are buried, and one of the signal wiring 23a, 23b to be connected to a driver 61 or a comparator 62 of the semiconductor testing device 60 is connected to the contact pins 30 by using the signal wiring layer S1 near the IC 50 to be tested, and the other of the signal wiring is connected to the contact pins 30 by using the signal wiring layer S3 far from the IC 50 to be tested.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-50262

(P2003-50262A)

(43) 公開日 平成15年2月21日 (2003.2.21)

(51) Int.Cl.	識別記号	F I	チート (参考)
G 0 1 R 31/28		G 0 1 R 31/26	J 2 G 0 0 3
31/26		H 0 1 R 33/76	5 0 1 A 2 G 1 3 2
H 0 1 R 33/76	5 0 1	G 0 1 R 31/28	K 5 E 0 2 4

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願2001-240228 (P2001-240228)

(22) 出願日 平成13年8月8日 (2001.8.8)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233480

日立電子エンジニアリング株式会社

東京都渋谷区東3丁目16番3号

(72) 発明者 武智 啓三

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100095913

弁理士 招形 義彰 (外1名)

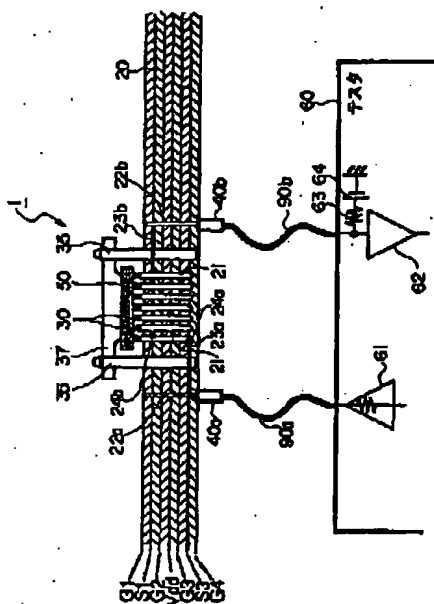
最終頁に続く

(54) 【発明の名称】 高周波 I C ソケット、半導体試験装置および半導体試験方法ならびに半導体装置の製造方法

(57) 【要約】

【課題】 スタブ長を低減した I C ソケットを提供する。

【解決手段】 被試験 I C 50 の入出力端子に接触する複数のコンタクトピン 30 が先端部を残して基板 20 に埋め込まれ、半導体試験装置 60 の D U T ボードと被試験 I C 50 とを電気的導通を生じるように接続するための I C ソケット 1 において、前記コンタクトピン 30 が埋め込まれる基板 20 に 2 つ以上の信号配線層 S 1、S 2 と 2 つ以上の電源配線層 V d d、G を設け、半導体試験装置 60 のドライバ 61 またはコンパレータ 62 に接続する信号配線 23 a、23 b の一方を被試験 I C 50 に近い信号配線層 S 1 を使ってコンタクトピン 30 に接続し、信号配線の他方を被試験 I C 50 から遠い信号配線層 S 3 を使ってコンタクトピン 30 に接続した。



(2)

特開2003-50262

1

2

【特許請求の範囲】

【請求項1】 被試験ICの入出力端子に接触する複数のコンタクトピンが先端部を残して基板に埋め込まれ、半導体試験装置のDUTボードと被試験ICとを電気的導通を生じるように接続するためのICソケットにおいて、前記コンタクトピンが埋め込まれる基板に2つ以上の信号配線層と2つ以上の電源配線層を設け、半導体試験装置のドライバまたはコンパレータに接続する信号配線の一方を被試験ICに近い信号配線層を使ってコンタクトピンに接続したことを特徴とするICソケット。

【請求項2】 前記半導体試験装置のドライバまたはコンパレータに接続する信号配線の他方を被試験ICから遠い信号配線層を使ってコンタクトピンに接続したことを特徴とする請求項1に記載のICソケット。

【請求項3】 コンタクトピンを先端部を残して基板に直接埋め込んだことを特徴とする請求項1または請求項2に記載のICソケット。

【請求項4】 ICソケットを同一の基板上に複数ユニット分構成したことを特徴とする請求項1ないし請求項3のいずれか1項に記載のICソケット。

【請求項5】 コンタクトピンが埋め込まれる基板に1ユニット分のICソケットを形成し、ICソケットが形成された基板と試験装置のDUTボードとを接続するコネクタを設けたことを特徴とする請求項1ないし請求項3のいずれか1項に記載のICソケット。

【請求項6】 請求項1ないし請求項5のいずれか1項に記載されたICソケットに接続されるドライバおよびコンパレータを搭載したピンエレクトロニクスと、基準信号発生器と、タイミング発生器と、パターン発生器と、波形フォーマッタと、デジタルコンパレータと、フェイルメモリと、リファレンス電圧発生器を有することを特徴とする半導体試験装置。

【請求項7】 請求項6に記載された半導体試験装置を使用し、ドライバからICソケットに装着された被試験ICに試験波形を供給し、被試験ICからの応答波形をコンパレータで受信することを特徴とする半導体試験方法。

【請求項8】 請求項6に記載の半導体試験装置を用いて、被試験ICに試験波形を入力し、応答波形を検出して被試験ICの良否を判断する半導体装置検査工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体試験装置のドライバから被試験ICに印加する試験波形と、被試験ICから応答波形を半導体試験装置のコンパレータに入力する際、スタブ配線となるICソケットの実効長さを最短とする構造により、反射ノイズを低減し、優れた高周波特性を有する高周波ICソケット、半導体試験装置および半導体試験方法ならびに半導体装置の製造方法に

関する。

【0002】

【従来の技術】図3を用いて、従来のICソケットの構造を説明する。図3は、被試験IC50とプリント配線基板20との間を電気的導通がとれるように接続するためのICソケットの一般的な構造を表した縦断面図であり、ピン数及び形状の詳細は図の限りではない。ICソケット1は、スルーホール21を有する多層プリント配線基板(DUTボード)29と、下端部がプリント配線基板29のスルーホール21に接続される複数のコンタクトピン30を有するICソケットハウジング8と、位置決めピン35と、位置決めピン35に案内され被試験IC50をコンタクトピン30の上端部に接触させるブッシャ37と、テスト60のドライバ61に接続された高周波ケーブル90aが接続されコンタクトピン30を介して被試験IC50に試験波形を供給するコネクタ40aと、コンタクトピン30を介して被試験IC50から送り出される応答波形を高周波ケーブル90bに接続されたテスト60のコンパレータ62に供給するコネクタ40bとを有して構成される。

【0003】多層プリント配線基板29には、電源配線層と、コネクタ40aが接続されるスルーホール22aとコンタクトピン30が接続されるスルーホール21を接続するドライバ側配線23aと、コネクタ40bが接続されるスルーホール22bとコンタクトピン30が接続されるスルーホール21を接続するコンパレータ側配線23bとが設けられている。ドライバ側配線23aとスルーホール21は接続点24aで接続され、コンパレータ側配線23bとスルーホール21は接続点24bで接続されている。

【0004】コンタクトピン30は、ICソケット下方のプリント配線基板29とICソケット上方に乗る被試験IC50と間に電気的導通を生じるように接続する働きを持っている。コンタクトピン30は、上記被試験IC50とプリント配線基板29のコンタクトを取る働きを備えるために、図示を省略したスプリングを内蔵し、伸縮動作を行う構造となっている。被試験IC50が、被試験IC50の上面から押さえるブッシャ37により、位置決めピン35をガイドにして、図示しないハンドラ装置によって、押し下げられる力を受け、コンタクトピン30を収縮させる。ICソケットのハウジング3は、絶縁性の材質により構成されており、このハウジング3にコンタクトピン30が埋設されている。

【0005】テスト60は、試験波形を被試験IC50に印加するドライバ61と、被試験IC50の応答波形が入力され、図示を省略した比較電圧と比較し、応答波形のハイ/ロー判定を行うコンパレータ62と、試験波形および応答波形を終端する終端電圧源64と、終端抵抗63を備えている。このような接続は、DTL (Dual Terminated Logic) 接続と呼ばれ、高速デバイスの試

(3)

特開2003-50262

3

験に用いられる接続方法である。

【0006】これに対し、STL (Single Terminated Logic) 接続と呼ばれる接続方法がある。この接続方法は、テスト60のドライバ61とコンパレータ62がテスト上で接続され、同一のケーブルにより被試験IC50に接続されている。このSTL接続で1/O切替えを行った場合、信号伝送が完了するまで待ち時間が必要となり、この待ち時間を1/Oデッドバンドと呼んでいる。高速デバイスにおいては、ドライバ波形に対する被試験ICの応答時間が早くなり、1/Oデッドバンドが問題となっている。そこで、これを解消するため、前記DTL接続が取られるようになってきた。

【0007】ここで、DTL接続における試験信号の流れについて説明する。まず、ドライバ61から試験波形を被試験IC50に印加する場合、試験波形は、ドライバ61から出力され、高周波ケーブル90aおよびコネクタ40aを経由し、プリント配線基板29の内層の伝送線路23aを通り、接続点24aでプリント配線基板29スルーホール21に供給される。さらに、試験波形は、スルーホール21の接続点24bで分岐し、一方は伝送線路23b、スルーホール22b、コネクタ40b、高周波ケーブル90bを介し、テスト60の終端抵抗63で終端電源64に終端され、他方はプリント配線基板29スルーホール21の接続点24bからスルーホール上方に伝わり、ソケットのコンタクトピン30を介し、被試験IC50に印加される。

【0008】このとき、被試験IC50の入力インピーダンスが高いため、反射電圧が発生する。このため、プリント配線基板29のスルーホール21の接続点24bから被試験IC50の入力端までの長さ、すなわち、分岐点24bからソケットまでの基板厚さとソケットピン長の和がスタブ配線となり、これが長い程、反射の時間も長くなり、試験波形が劣化する問題がある。

【0009】つぎに、被試験IC50の応答波形をテスト60で受け取る場合は、被試験IC50から出力された応答波形は、ソケットのコンタクトピン30、プリント配線基板29のスルーホール21を介し、接続点24bに到達する。ここで、応答波形はコンパレータ62側とドライバ61側に分岐して伝送していく。このコンパレータへの接続経路とドライバへの接続経路は50Ωのインピーダンスに整合され、テスト60内で各々50Ωに終端されている。このため、被試験IC50から見た特性インピーダンスは、スルーホール21の接続点24bから先が25Ωに見えるため、被試験IC50から出力された応答波形は、接続点24bで反射し、再び、被試験IC50に戻ることであり、応答波形が劣化する。

【0010】この場合も同様に、被試験IC50の出力ピンからプリント配線基板29スルーホール21の接続点24bまでの長さ、すなわち、分岐点24bからソケットまでの基板厚さとソケットピン長の和がスタブ配線

4

となり、このスタブ長が短い程、反射の時間も短く波形劣化のない応答波形をテスト60のコンパレータ62で受けることが可能になる。

【0011】以上、説明したように被試験IC50に試験波形を印加する場合においても、被試験IC50から応答波形を出力する場合においても、被試験IC50の出力ピンからプリント配線基板29スルーホール21の接続点24bまでの長さ（スタブ配線）を短くすることが重要となる。

【0012】そのため、一般的には、コンタクトピン長を短縮した特殊なコンタクトピンの構造が提案されているが、ソケット価格が高価になる問題がある。また、さらにコンタクトピン長を短縮するには、物理的な限界があり、被試験ICの高速化に対応できない問題があった。

【0013】

【発明が解決しようとする課題】本発明は、上記の問題に鑑み、被試験ICの出力ピンからプリント配線基板のスルーホールの接続点までの長さ（スタブ配線）を短くし、応答波形の劣化のないICソケットを提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、上記課題を解決するために、コンタクトピンを埋め込んだソケットハウジングに少なくとも2つ以上のインピーダンス整合された異なる配線層を備え、テストのドライバに接続される信号配線を被試験ICから遠い配線層を用いて引き出し、テストのコンパレータに接続される信号配線を被試験ICに近い配線層を使って引き出し、被試験ICに接続されるスタブ配線がコンタクトピンの先端部のみとなる構造とすることで、高周波信号伝送の妨げとなるスタブ配線長を最短とし、反射ノイズの少ない高周波特性に優れたICソケットを提供する。

【0015】すなわち、本発明は、回路基板とICとが電気的導通を生じるように接続するICソケットにおいて、ソケットハウジングに伝送線路からなる配線層を少なくとも2つ以上備え、ドライバから入力する試験信号の分岐を被試験ICに最も近い配線層で行う構造とする。

【0016】上記課題を解決するために、本発明は、コンタクトピンが先端部を残して基板に埋め込まれ、半導体試験装置のDUTボードと被試験ICとを電気的導通を生じるように接続するためのICソケットにおいて、前記コンタクトピンが埋め込まれる基板に2つ以上の信号配線層と2つ以上の電源配線層を設け、半導体試験装置のドライバまたはコンパレータに接続する信号配線の一方を被試験ICに近い信号配線層を使ってコンタクトピンに接続した。

【0017】本発明は、上記ICソケットにおいて、前記半導体試験装置のドライバまたはコンパレータに接続

50

5

する信号配線の他方を被試験 IC から違い信号配線層を使ってコンタクトピンに接続した。

【0018】さらに、本発明は、上記 IC ソケットにおいて、コンタクトピンを先端部を残して基板に直接埋め込んだ。

【0019】さらに、本発明は、上記 IC ソケットを同一の基板上に複数ユニット分構成するか、コンタクトピンが埋め込まれる基板に 1 ユニット分の IC ソケットを形成し、IC ソケットが形成された基板と試験装置の DUT ボードとを接続するコネクタを設けた。

【0020】上記課題を解決するために、本発明は、上記 IC ソケットに接続されるドライバおよびコンパレータを搭載したピンエレクトロニクスと、基準信号発生器と、タイミング発生器と、パターン発生器と、波形フォーマッタと、デジタルコンパレータと、フェイルメモリと、リファレンス電圧発生器を有して半導体試験装置を構成した。

【0021】さらに、本発明は、上記半導体製造装置を使用し、ドライバから IC ソケットに装着された被試験 IC に試験波形を供給し、被試験 IC からの応答波形をコンパレータで受信するして半導体を試験する方法である。

【0022】上記課題を解決するために、本発明は、上記半導体試験装置を用いて、被試験 IC に試験波形を入力し、応答波形を検出して被試験 IC の良否を判断する半導体装置検査工程を含んで半導体装置の製造方法とした。

【0023】どのような信号分岐において、信号が伝わる伝送線の遠端に終端抵抗を備えない配線は、スタブ配線と呼ばれ、高速信号伝送の妨げとなる。そこで、このスタブ長を最短とするために、IC ソケットにインピーダンス整合のとられた 2 つ以上の配線層を設け、ドライバの接続とコンパレータの接続を個々別々の配線層を用いることで、インピーダンスミスマッチから生じる反射ノイズ、クロストークノイズを低減することができる。

【0024】

【発明の実施の形態】以下、本発明の第 1 の実施の形態にかかる IC ソケットの構造を図 1 を用いて説明する。図 1 は、本実施の形態にかかる IC ソケットの縦断面構造を表した図であり、ピン数及び形状の詳細は図の限りではない。

【0025】第 1 の実施の形態にかかる IC ソケット 1 は、複数（例えば 7 層）の配線層を有するプリント配線基板 20 と、プリント配線基板 20 に設けた複数のスルーホール 21、スルーホール 22 a、スルーホール 22 b と、複数のスルーホール 21 にそれぞれ埋め込まれたコンタクトピン 30 と、位置決めピン 35 と、ブッシャ 37 と、コネクタ 40 a、コネクタ 40 b とを有して構成される。

【0026】プリント配線基板 20 は、接地配線 G 1、

(4)

特開 2003-50282

6

信号配線 S 1、接地配線 G 2、電源配線 V d d、接地配線 G 3、信号配線 S 3、接地配線 G 4 の配線層を有している。

【0027】スルーホール 21 は、プリント配線基板 20 に設けた貫通穴であり内壁面に導電層が設けられ、各配線層を選択的にコンタクトピン 30 に電気的に接続する。

【0028】スルーホール 22 a、22 b は、テスト 60 と被試験 IC 50 を接続する。

10 【0029】テスト 60 のドライバ 61 からの試験信号が供給される信号配線 23 a は、コネクタ 40 a に接続されたスルーホール 22 a とスルーホール 21 を接続する伝送線であり、コネクタ 40 が実装されている面に最も近い配線層 S 3 に設けられ、スルーホール 22 a とスルーホール 21 の接続点 24 a を接続する。

【0030】被試験 IC 50 の応答信号をテスト 60 のコンパレータ 62 へ供給する信号配線 23 b は、スルーホール 21 とコネクタ 40 b に接続されたスルーホール 22 b とを接続する伝送線であり、被試験 IC 50 が装着される面に最も近い配線層 S 1 に設けられ、スルーホール 22 b とスルーホール 21 の接続点 24 b を接続する。

【0031】コンタクトピン 30 は、導電材料を用いて構成され、信号配線を被試験 IC 50 に接続する手段であり、先端部がプリント配線基板 20 の表面の突出するようにスルーホール 21 に埋め込まれる。コンタクトピン 30 の先端部は、内蔵されたスプリングによって被試験 IC 50 側に付勢されている。

【0032】位置決めピン 35 は、プリント配線基板 20 に根元が埋められ上部が基板表面に突出するように設けられ、ブッシャ 37 を案内する。

【0033】ブッシャ 37 は、位置決めピン 35 に案内され被試験 IC 50 をコンタクトピン 30 の先端部に押し付ける。

【0034】コネクタ 40 a、コネクタ 40 b は、プリント配線基板 20 の他の表面に設けられ、テスト 60 からの高周波ケーブル 90 a、高周波ケーブル 90 b をスルーホール 22 a、スルーホール 22 b に接続する手段である。

40 【0035】被試験 IC 50 は、下面に設けた入出力端子であるボールがコンタクトピン 30 の先端部にホルドされ、図示しないハンドラ装置によりブッシャ 37 を介して、一定の応力で押し付けられる。コンタクトピン 30 は、内蔵されたスプリングが応力により縮んで、被試験 IC 50 の入出力端子とコンタクトピン 30 との間に導通を形成する。

【0036】コンパレータ側配線 23 b が、被試験 IC 50 が装着される面に最も近い信号配線層 S 1 に設けられるので、被試験 IC 50 と接続点 24 b との配線長を短くすることができ、スタブ配線長を限り無く短くする

(5)

特開2003-50262

8

7

ことができる。

【0037】ここで、被試験IC50を試験する際の信号の流れについて説明する。テスト60は、試験波形を被試験IC50に印加するドライバ61と、被試験IC50の応答波形が入力され、図示しない比較電圧と比較し、応答波形のハイ/ロー判定を行うコンパレータ62と、試験波形、および、応答波形を終端する終端電圧源64と、終端抵抗63を備えている。まず、ドライバ61から試験波形を被試験IC50に印加する場合、試験波形は、ドライバ61から出力され、高周波ケーブル90a、コネクタ40aを経由し、プリント配線基板20のドライバ側配線23aを通り、接続点24aでプリント配線基板20内に埋設されたコンタクトピン30に供給される。試験波形は、コンタクトピン30を上方に伝搬し、接続点24bで分岐する。試験波形の一方はコンタクトピン30の接続点24bから上方に伝わり、被試験IC50に印加される。他方はコンパレータ側配線23b、スルーホール22b、コネクタ40b、高周波ケーブル90bを介し、テスト60内の終端抵抗63で終端電圧源64に終端される。

【0038】このとき、被試験IC50の入力インピーダンスが高いため、反射電圧が発生するが、接続点24bから被試験IC50の入力端までの長さは、分岐点24bから上方のみであり、コンタクトピン30がブッシュ37から押される力を受けて収縮するため、スタブ配線長は最短となる。これにより、反射ノイズが減少し、良好な試験波形が得られる。

【0039】つぎに、被試験IC50の応答波形をテスト60で受け取る場合は、被試験IC50から出力された応答波形が、ソケットのコンタクトピン30を介し、プリント配線基板20内部の接続点24bに到達する。ここで、応答波形はコンパレータ62側とドライバ61側に分岐して伝送していく。このコンパレータへの接続経路23bとドライバ61への接続経路は50Ωのインピーダンスに整合されているため、被試験IC50から見た特性インピーダンスは、コンタクトピン30の接続点24bから先が25Ωに見えるため、被試験IC50から出力された応答波形は、接続点24bで反射し、再び、被試験IC50に戻るようになるが、被試験IC50の出力ピンとプリント配線基板20内部の接続点24bまでの長さ（スタブ配線）が短いため、反射時間も短く、波形劣化のない応答波形をテスト60のコンパレータ62で受けることが可能になる。

【0040】本実施例において、プリント配線基板20の信号配線S1、S3は、ストリップ線路の構成をとったが、最外層を使ってマイクロストリップ線路で配線可能であれば、さらに特性の良好なソケットが実現できる。デバイス側の伝送線路23bをマイクロストリップとすることで、コンタクトピンのスタブがさらに短縮され、前記したとおり反射の少ないソケットが実現でき

る。また、デバイス反対側の伝送線路23aは、コンタクトピンの下端で接続した方がよい。これは、伝送線路23aをコンタクトピン30の途中に接続した場合には、接続点24aから下に電気の通過しない線路が残る、そこには回路的に容量が付いたように見え、好ましくないからである。

【0041】同図中、テスト60のドライバ61に接続される伝送線路23aをコネクタ40a、8bが設けられる面に最も近い配線層S3に設け、コンパレータ62に接続される伝送線路23bを被試験IC50が装着される面に最も近い配線層S1に設けた構造としているが、逆に、テスト60のドライバ61に接続される伝送線路23aを被試験IC50が装着される面に最も近い配線層S1に設け、コンパレータ62に接続される伝送線路23bをコネクタ40a、8bが設けられる面に最も近い配線層S3に設けた構造としても、同様の効果が得られる。

【0042】第1の実施の形態にかかるICソケット1の構成は、プリント配線基板20に複数のICソケット1を構成することが可能であり、多数個の被試験IC50を同時に測定する場合に適している。

【0043】図2を用いて、本発明に第2の実施の形態にかかるICソケットの構成を説明する。図1と同一の符号は同一の構成要素を表わしている。第2の実施の形態は、プリント配線基板20に構成したICソケット1を、ICソケットの下面に設けたコネクタ44によりDUTボード29の上面に設けたコネクタ45に接続するようにした形態である。

【0044】ICソケットの裏面に設けたICソケット側コネクタ44a、44bは、スルーホール22a、22bに電気的に接続される。

【0045】DUTボード29は、複数の配線層を有するプリント配線基板を用いて構成され、上面にICソケット側コネクタ44a、44bと対応するコネクタ45a、45bが設けられる。DUTボード29の下面には、図示を省略したスルーホールによってコネクタ45a、45bに接続されたコネクタ40a、40bが設けられる。テスト60は、DUTボード29の配線層を介して複数のICソケット1に接続される。

【0046】このように構成することにより、プリント配線基板2枚分の配線層を使用することが可能となり、信号配線を余裕を持って設定できる利点がある。また、ICソケット1が1個ずつの単位で構成されるため、ICソケット1の不具合による交換を容易に行える。

【0047】以上の説明では、ICソケットを、プリント配線基板を用いて構成したが、多層の配線層を有する基板は、プリント配線基板に限定されるものではない。

【0048】すなわち、多層配線基板として、プリント配線基板の他、セラミック基板など、絶縁体の内部に電気配線を設けることで、同様のソケットを構成すること

50

(6)

特開2003-50262

9

10

ができる。被試験ICのパッケージ形状はCSPに限らず、どのパッケージ形状であっても本発明のICソケットを用いることによって、高周波特性に優れた半導体試験を行うことができる。さらに、本発明のICソケットにおけるコンタクトピンの位置は、必ずしも被試験ICの電極がある位置とする必要はない。被試験ICの電極の数以上にコンタクトピンを設け、テスト側で制御し電極の有るところだけと信号の受け渡しをすることも可能である。この場合、デバイスが変わっても、同じソケットを使用できる可能性が有るといふ利点がある。

【0049】上記、各実施の形態では、パッケージ後の試験について述べてきたが、本発明のICソケットを用いて、ウエハ検査を行うことも可能である。

【0050】次に、SPICEシミュレーションを行って、本発明によるICソケットの効果を評価した。図4はシミュレーションに用いた回路であり、図4(a)は、ドライバ61から試験波形を被試験LSI50に印加する場合の例である。ドライバ61の出力はパルス電圧源で近似した。被試験LSI50は、ランバスDRAMの最終出力回路を模擬したトランジスタモデルを用いた。ソケット長によるスタブを伝送線路で表し、このスタブ長を、電気長にして10ps、110ps、210ps、310psと変化させ解析した。これは、伝搬速度を7ps/mmで換算すると1.4mm、15.7mm、30.0mm、44.3mmに相当する。

【0051】ドライバ61から振幅1.8Vの試験波形を被試験LSI50に入力し、被試験LSI50のパッケージ直前で波形をモニタした結果を図5(a)に示す。ソケット長が短いほど、オーバーシュートが少なく良好な波形をデバイスに印加できることが確認できる。ソケット長44.3mmでは、立ち上がり時および立ち下がり時にオーバーシュートが0.29V発生するのに対し、本発明の構成を備えたスタブ長1.4mmのICソケットでは、立ち上がり時および立ち下がり時のオーバーシュートを0.09Vに抑えることができる。

【0052】図4(b)は、被試験LSI50の応答波形をコンパレータ62で受け取る場合の例である。ランバスDRAMの最終出力回路の特性を模擬したトランジスタモデルをパルス電圧源で駆動し、その出力波形をコンパレータ62の入力でモニタした結果を図5(b)に示す。この場合もソケット長が短いほど、オーバーシュートが少なく良好な波形をコンパレータ62が受け取ることができる。ソケット長44.3mmでは、立ち上がり時のオーバーシュートが0.31V発生するのに対し、本発明の構成を備えたスタブ長1.4mmのICソケットでは、立ち上がり時のオーバーシュートを0.11Vに抑えることができる。

【0053】図6を用いて、本発明によるICソケットを備えたICテストの構成の概要を説明する。図6は、本発明によるICソケットを備えたICテストの一部構

成を示すブロック図である。図6において、ICテスト80は、制御コンピュータ71、モニタ72、プリンタ73、基準信号発生器74、試験回路75を、データバス76に接続して構成される。試験回路75は、ドライバ61、アナログコンパレータ62を搭載したピンエレクトロニクス692接続される。

【0054】試験回路75は、タイミング発生器751、パターン発生器752、フェイルメモリ753、デジタルコンパレータ754、波形フォーマッタ755、リファレンス電圧発生器756を備えて構成される。

【0055】基準信号発生器74は、試験波形の時間基準となる基準クロック74aを発生し、タイミング発生器751へ出力する。タイミング発生器751は、テストバス76を介して設定されるタイミング設定信号76bに従い基準クロック74aを計数し、所望の周期と時間遅れを持つフェーズ信号751a、751b、751cを生成する。パターン発生器752は、タイミング発生器751からのフェーズ信号751bのタイミングで、パターンデータ信号752aおよび期待値信号752bを発生する。波形フォーマッタ755は、被試験デバイスを試験するためのテスト波形755aを、タイミング信号751aのタイミングでパターンデータ信号752aから論理合成により生成する。ドライバ61は、テスト波形755aをリファレンス電圧発生器756から入力する波形設定レベル信号756aに従ったハイレベル/ローレベルのテスト波形61aに波形整形し、伝送線路90a及び本発明によるICソケット1を介して、DUT50に印加する。

【0056】アナログコンパレータ62は、本発明によるICソケット1及び伝送線路90bを介して、DUT50の応答波形62aが入力され、リファレンス電圧発生器756で発生した比較電圧756aと比較し、比較結果62bを出力する。また、デジタルコンパレータ754は、アナログコンパレータ62で比較したDUT50の応答波形62bと良品の応答である期待値信号752bをフェーズ信号751cのタイミングで比較し、良否判定を行う。フェイルメモリ753は、DUT50の良否判定した判定結果754aを格納し、試験終了後にテストバス76を介して判定結果76dを制御コンピュータ71に出力する。

【0057】リファレンス電圧発生器756は、波形設定レベル信号(比較電圧)756aを発生する。

【0058】上記の動作をDUT50の各ピン毎同時に行い、DUT50の良否判定が完了する。

【0059】すなわち、この発明は、上記ICソケットに接続されるドライバおよびコンパレータを搭載したピンエレクトロニクスと、基準信号発生器と、タイミング発生器と、パターン発生器と、波形フォーマッタと、デジタルコンパレータと、フェイルメモリと、リファレンス電圧発生器を有することを特徴とする半導体試験装

50

(7)

特開2003-50262

11

置、および、この半導体製造装置を使用し、ドライバからICソケットに装着された被試験ICに試験波形を供給し、被試験ICからの応答波形をコンパレータで受信するようにした半導体試験方法である。

【0060】図7のフローチャートを用いて、本発明によるICソケットを用いて検査され、出荷される半導体装置の製造方法を説明する。図7において、ステップS1の行程において製造された製品ウエハは、P検(Pellet検査)により初期の不良選別が行われる(ステップS2)。そして、選別された良品ウエハは、ステップS3又はS5に進む。ステップS3に進むかステップS5に進むかの選択は、製造設備等の関係から選択される。ステップS3においては、製品ウエハのダイシングを行い、良品チップのみが、CSP(Chip Size Package)やBGA(Ball Grid Array)等に個々にパッケージされる(ステップS4)。そして、パッケージされたチップは、バーイン試験や選別が行われる(ステップS7)。また、ステップS2のP検の後ウエハは、ウエハ上でさらに一括で配線パターンや保護膜の形成、半田ボール付けまでを行う(ステップS5)。続いて、配線パターン等が形成されたウエハは、ダイシングにより個々のチップに分割される(ステップS8)。個々のチップに分割されたチップは、バーイン試験や選別が行われる(ステップS7)。ステップS7においては、上述した本発明のICソケットを用いた半導体装置の検査方法が実施される。つまり、個々に分割された最終形状の製品は、本発明によるICソケットによりバーイン試験にかけられ最終選別がなされる。そして、最終的に良品となったものが出荷される(ステップS8)。

【0061】すなわち、この発明は、図6に示した半導体試験装置を用いて、被試験ICに試験波形を入力し、応答波形を検出して被試験ICの良否を判断する半導体装置検査工程を含んだ半導体装置の製造方法である。

【0062】したがって、本発明のICソケットを用いることで、ドライバから立上り、立下りの良好な試験波形を被試験LSIに印加でき、被試験LSIの出力時は、立上り、立下りに劣化のない応答波形をコンパレータに入力できるため、信頼性の高い半導体試験装置を実現することができる。また、前記した通り、ウエハの電極にコンタクトピンが接触するように本発明のICソケットを構成することで、高周波特性に優れたウエハ検査を行うことも可能である。この場合、パッケージ後の試験と比べ、コンタクトピンの高い平坦度が要求されるが、コンタクトピンは、内部にバネを持ち伸縮する構造になっているため、この伸縮動作により平坦のバラ付きを補うことができる。

【0063】なお、上述した本発明の実施の形態においては、一個のICソケットの構成を示しているが、図8に示すようにICソケット1をプリント配線基板20上にマトリクス状に配置形成したり、ICソケット1をD

12

UTボード29上にマトリクス状に配置することにより、複数の製品を同時に検査することも可能である。

【0064】

【発明の効果】ICソケットのコンタクトピンを埋込むソケットハウジング部をプリント配線基板と同様な多層構造とし、テストと被試験IC間の2重終端接続(DTL接続)を異なる配線層による伝送線路で配線して、スタブ配線となる被試験ICとコンパレータとの分岐点をソケットハウジングの最上面とする。これにより、スタブ配線となるコンタクトピンの長さ(実効ピン長)が先端部分のみとなり、最短となる。

【0065】これにより、高周波においては、インピーダンスミスマッチから生じる入力波形の乱れや出力波形の乱れをなくし、反射ノイズ、クロストークノイズを低減することができる。また、コンタクトピンの全長に特性が左右されないため、従来の安価なコンタクトピンの使用も可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかるICソケットの構造の概要を示す縦断面図。

【図2】本発明の第1の実施の形態にかかるICソケットの構造の概要を示す縦断面図。

【図3】従来のICソケットの構造の概要を示す縦断面図。

【図4】本発明によるICソケットを評価するためのシミュレーション回路図。

【図5】本発明によるICソケットの効果の解析結果。

【図6】本発明によるICソケットを備えたICテストの一部構成図。

【図7】本発明によるICソケットを用いて検査される半導体装置の製造方法を示すフローチャート。

【図8】本発明によるICソケットを用いて多数個同時測定を行う場合の実施例。

【符号の説明】

- 1 ICソケット
- 3 ICソケットハウジング
- 20 プリント配線基板
- 21 スルーホール
- 22 スルーホール
- 23 伝送線路による配線
- 24 接続点
- 29 DUTボード
- 30 コンタクトピン
- 35 位置決めピン
- 37 ブッシャ
- 40, 44, 45 コネクタ
- 50 被試験IC、被試験LSI
- 60 ICテスト
- 61 ドライバ
- 62 コンパレータ

(8)

特開2003-50262

13

14

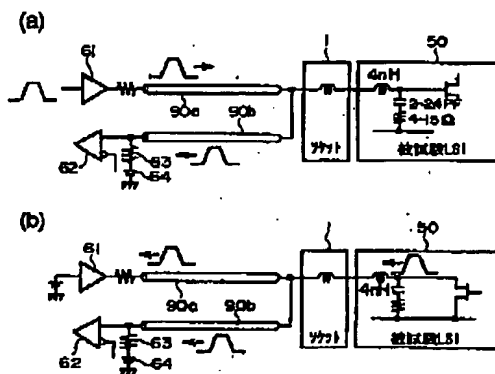
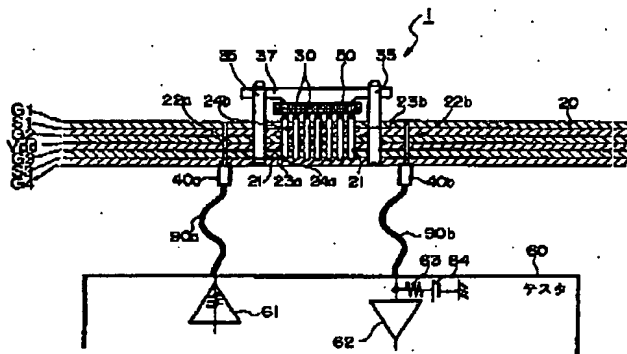
63 終端抵抗
64 終端電圧源
69 ビンエレクトロニクス
71 コンピュータ
72 モニタ
73 プリンタ

* 74 基準信号発生器
75 試験回路
76 テスタバス
90 高周波ケーブル
751 タイミング発生器

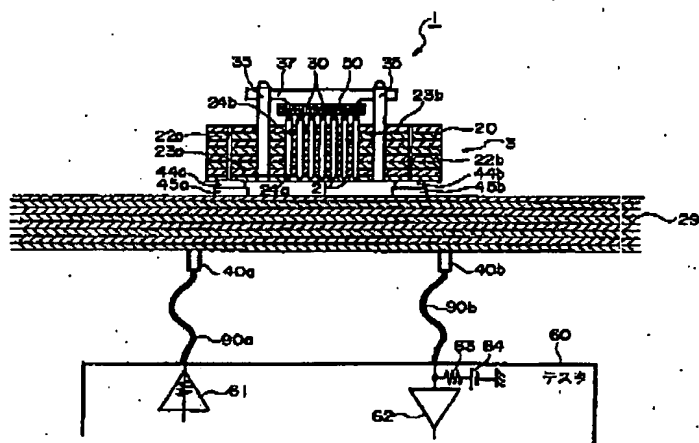
*

【図1】

【図4】



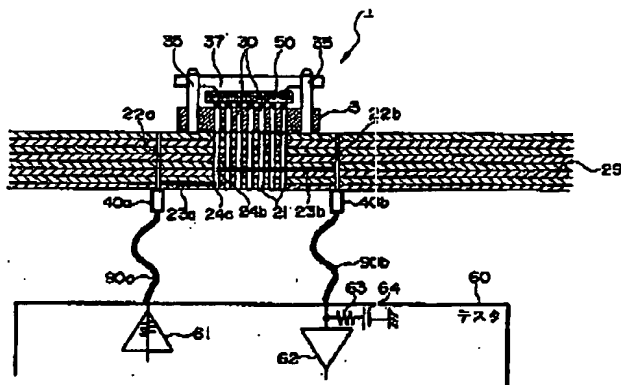
【図2】



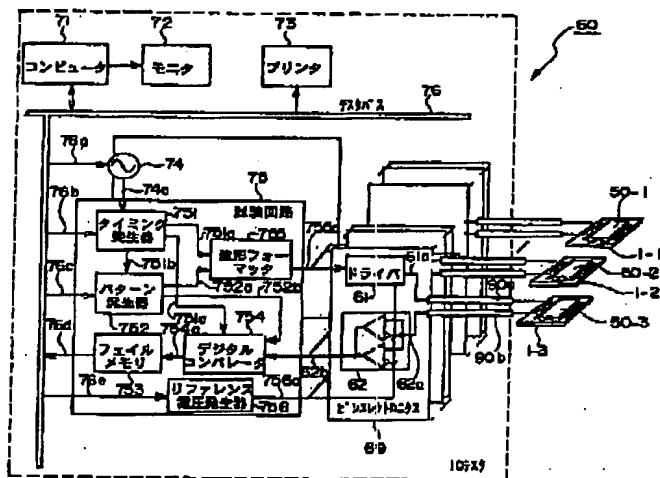
(9)

特開2003-50262

【図3】



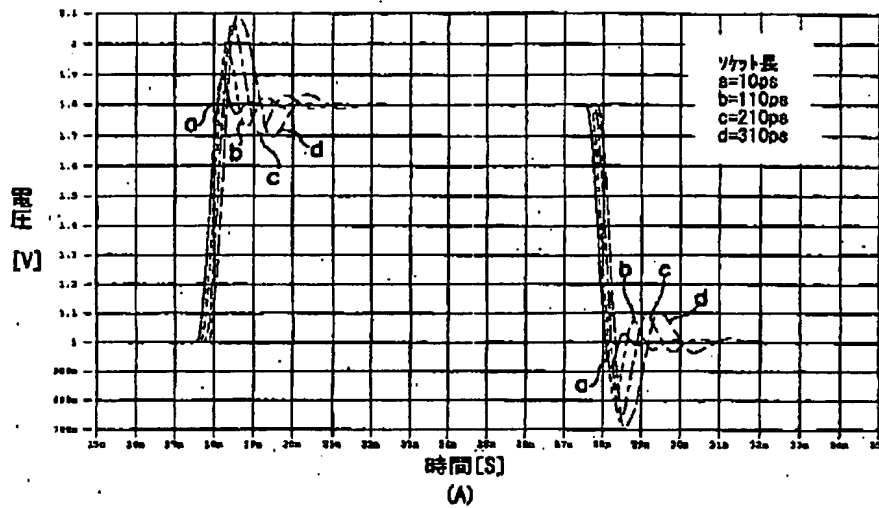
【図6】



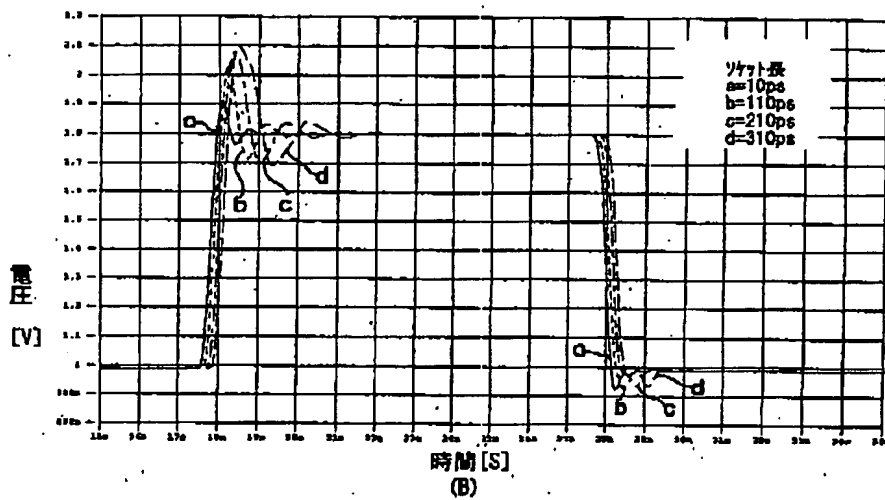
(10)

特開2003-50262

【図5】



(A)

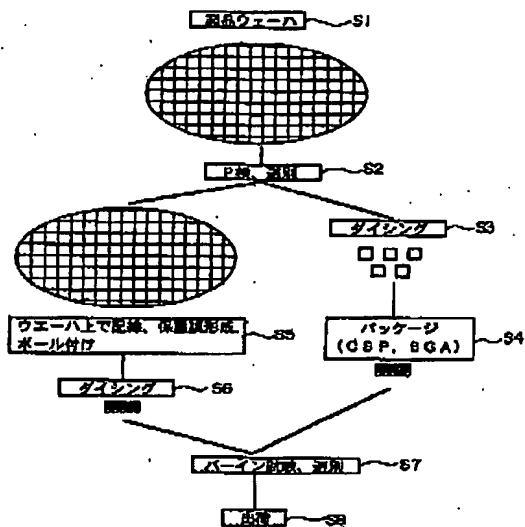


(B)

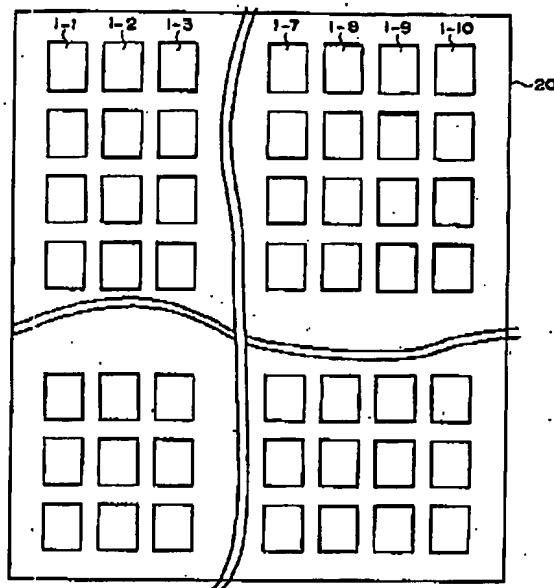
(11)

特開2003-50262

【図7】



【図8】



フロントページの続き

(72)発明者 大崎 昭雄
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72)発明者 藤井 武
 東京都渋谷区東3丁目16番3号 日立電子エンジニアリング株式会社内

(72)発明者 鈴木 哲也
 東京都渋谷区東3丁目16番3号 日立電子エンジニアリング株式会社内

(72)発明者 村田 和彦
 東京都渋谷区東3丁目16番3号 日立電子エンジニアリング株式会社内

Fターム(参考) 2G003 AA07 AE03 AG01 AG08 AG12
 AG16 AH02 AH05 AH09
 2G132 AF02 AJ01 AL03 AL11 AL19
 AL20
 5E024 CA03

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**